

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC862 U.S. PRO
09/729088
12/05/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 6月20日

出 願 番 号
Application Number:

特願2000-184817

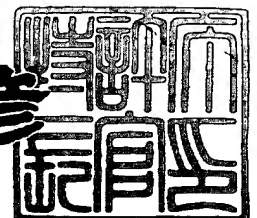
出 願 人
Applicant (s):

三菱電機株式会社

2000年 6月29日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3053399

【書類名】 特許願

【整理番号】 524494JP01

【提出日】 平成12年 6月20日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/82

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 古本 光昭

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 中尾 博臣

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100102439

【弁理士】

【氏名又は名称】 宮田 金雄

【選任した代理人】

【識別番号】 100092462

【弁理士】

【氏名又は名称】 高瀬 彌平

【手数料の表示】

【予納台帳番号】 011394

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

特 2 0 0 0 - 1 8 4 8 1 7

【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	不要	

【書類名】 明細書

【発明の名称】 半導体回路の設計方法及びそれを用いて設計する半導体回路

【特許請求の範囲】

【請求項 1】 クロックツリーを設ける半導体回路の設計方法において、ネットリストを作成後、前記ネットリスト上に予め複数の遅延ゲートを挿入し、前記遅延ゲートを前記クロックツリー間のタイミングの制約を満たすように調整しながら削除することを特徴とする半導体回路の設計方法。

【請求項 2】 請求項 1 記載の半導体回路の設計方法において、
ネットリストを作成する工程と、前記ネットリスト上に予め遅延ゲートを挿入する工程と、
配置工程と、クロックツリー内部のタイミングの制約を満足する前記クロックツリーを生成する工程と、
前記遅延ゲートの挿入に伴う必要最小限のレイアウト変更を行う工程と、配線工程と、
人手による前記クロックツリー間のスキューを調整する工程と、
前記クロックツリー間のスキューを検証する工程と、前記タイミングの制約を満足するかどうかを判定する工程とを備えることを特徴とする半導体回路の設計方法。

【請求項 3】 請求項 2 記載の半導体回路の設計方法において、
配置工程はクロックライン上の複数の遅延ゲートを固め配置することを特徴とする半導体回路の設計方法。

【請求項 4】 請求項 2 記載の半導体回路の設計方法において、
配置工程はクロックライン上の複数の遅延ゲートを固め配置し、領域を大きくとることを特徴とする半導体回路の設計方法。

【請求項 5】 請求項 3 記載の半導体回路の設計方法において、
ツリー間スキュー調整工程は予め挿入した複数の遅延ゲートの内、初段及び最終段の遅延ゲートを削除の対象外とすることを特徴とする半導体回路の設計方法。

【請求項 6】 請求項 4 記載の半導体回路の設計方法において、

ツリー間スキュー調整工程は予め挿入した複数の遅延ゲートの内、初段及び最終段の遅延ゲートを削除の対象外とすることを特徴とする半導体回路の設計方法

。

【請求項 7】 請求項 1～6 記載の半導体回路の設計方法のいずれかを用いて設計することを特徴とする半導体回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は半導体回路の設計方法及びそれを用いて設計する半導体回路に係り、特にクロックラインをクロックツリーで設計する半導体回路の設計方法及びそれを用いて設計する半導体回路に関するものである。

【0 0 0 2】

【従来の技術】

図 9 は、例えば、特開平 1 0 - 2 2 9 1 3 0 号公報に示す従来の半導体回路の設計方法のフローチャートである。図 9 を参照して、このフローチャートは配線長が均等なクロックツリー型のクロックラインを予め配線しておくライブラリ 1 0 0 を備え、クロックツリー型のクロックラインを予め配線する工程 S 1 0 2 と、回路入力する工程 S 1 0 1 と、クロックツリーの最終段にオーバーラップさせるテスト配置工程 S 1 0 3 とを設ける。

【0 0 0 3】

また、使用しないクロックラインについて、クロックラインの元からの負荷が変わらないように削除する工程 S 1 0 4 と、改めて配置配線を判定する工程 S 1 0 5 とで構成する。

【0 0 0 4】

【発明が解決しようとする課題】

近年、チップの微細化・高速化に伴い、クロックラインのスキュー調整が難しくなっている。また、上記のような従来のクロックラインのスキュー調整方法では、専用のクロックライン用レイアウトライブラリあるいは専用の C A D ツールが必要であるという問題がある。

【 0 0 0 5 】

【課題を解決するための手段】

この発明に係る半導体回路の設計方法は、クロックツリーを設ける半導体回路の設計方法において、ネットリストを作成後、ネットリスト上に予め複数の遅延ゲートを挿入し、遅延ゲートをクロックツリー間のタイミングの制約を満たすように調整しながら削除するものである。

【 0 0 0 6 】

また、請求項 1 記載の半導体回路の設計方法において、ネットリストを作成する工程と、ネットリスト上に予め遅延ゲートを挿入する工程と、配置工程と、クロックツリー内部のタイミングの制約を満足するクロックツリーを生成する工程と、遅延ゲートの挿入に伴う必要最小限のレイアウト変更を行う工程と、配線工程と、人手によるクロックツリー間のスキューを調整する工程と、クロックツリー間のスキューを検証する工程と、タイミングの制約を満足するかどうかを判定する工程とを備えるものである。

【 0 0 0 7 】

また、請求項 2 記載の半導体回路の設計方法において、配置工程はクロックライン上の複数の遅延ゲートを固め配置するものである。

【 0 0 0 8 】

また、請求項 2 記載の半導体回路の設計方法において、配置工程はクロックライン上の複数の遅延ゲートを固め配置し、領域を大きくとるものである。

【 0 0 0 9 】

また、請求項 3 記載の半導体回路の設計方法において、ツリー間スキュー調整工程は予め挿入した複数の遅延ゲートの内、初段及び最終段の遅延ゲートを削除の対象外とするものである。

【 0 0 1 0 】

また、請求項 4 記載の半導体回路の設計方法において、ツリー間スキュー調整工程は予め挿入した複数の遅延ゲートの内、初段及び最終段の遅延ゲートを削除の対象外とするものである。

【 0 0 1 1 】

さらに、請求項 1 ～ 6 記載の半導体回路の設計方法のいずれかを用いて設計するものである。

【 0 0 1 2 】

【発明の実施の形態】

実施の形態 1 .

以下、この発明について説明する。図 1 は実施の形態 1 による半導体回路の設計方法のフローチャートである。図 1 を参照して、このフローチャートはネットリストを作成する工程 S 1 と、遅延ゲートを挿入する工程 S 1' と、クロックツリー内部のタイミングの制約を満足するようにクロックツリーを自動で生成する P&R ツール (P l a c e a n d R o u t e t o o l 以下、P&R ツールと示す) とを設ける。

【 0 0 1 3 】

また、P&R ツールは配置工程 S 2 と、CTS (C l o c k T r e e S y n t h e s i s 以下、CTS と示す) 機能によりクロックツリーを張る工程 S 3 と、遅延ゲートの挿入に伴う必要最小限のレイアウト変更を行う ECO (E n g i n e e r i n g C h a n g e O r d e r 以下、ECO と示す) 機能による工程 S 8 と、配線工程 S 4 とを設ける。

【 0 0 1 4 】

また、人手によるクロックツリー間のスキューを調整する (以下、ツリー間スキュー調整と示す) 工程 S 7 と、クロックツリー間のスキューを検証する工程 S 5 と、タイミングの制約を満足するかどうかを判定する工程 S 6 とを設ける。

【 0 0 1 5 】

まず工程 S 1 でネットリストを作成した後 (論理検証も終了している状態)、工程 S 1' で予め遅延ゲートを挿入する。

【 0 0 1 6 】

P & R ツールでは工程 S 2 で配置を行い、工程 S 3 において C T S 機能でクロックツリー内部のタイミング制約を満足するクロックツリーを生成した後、工程 S 4 で配線する。

【 0 0 1 7 】

次に、工程 S 5 でクロックツリー間のタイミングの制約が満足されているかを知るためにレイアウトから抽出した実遅延値を用いて、タイミング検証ツールでクロックラインの遅延値を計算し、クロックツリー間のタイミングスキューが何ナノ秒（以下、ns と示す）になったかを検証する。尚、クロックツリー内部のタイミング制約は P & R ツールにより制約が満たされるので検証する必要はない。

【 0 0 1 8 】

また、工程 S 5 のクロックツリー間スキュー検証の結果、S 6 でクロックツリー間のタイミングの制約を満足するかどうかを判定し、NO の場合は工程 S 7 でツリー間スキュー調整を行う。YES の場合はフローチャート終了となる。

【 0 0 1 9 】

工程 S 1' ではネットリスト上でクロックラインに複数の遅延ゲートを予め挿入しておく。工程 S 7 のツリー間スキュー調整においては予め挿入した複数の遅延ゲートから適宜削除する。ツリー間スキュー調整は遅延ゲート挿入による調整よりも、予め挿入した複数の遅延ゲートを適宜削除して調整する方が容易である。

【 0 0 2 0 】

なぜなら、遅延ゲートを挿入する場合と削除する場合の配線長変化分を比較すると、配置変更あるいは配線変更（特に遅延ゲートの挿入に伴う配線領域減少により発生する迂回配線）の起こる確率は、遅延ゲートを挿入するときよりも削除するときの方が少ないからである。

【 0 0 2 1 】

また、工程 S 7 でツリー間スキュー調整する前（遅延ゲートを挿入・削除する前）に、工程 S 5 においてツリー間スキュー検証するので、工程 S 7 でツリー間スキュー調整するときにはクロックライン上の各遅延ゲートとそれに係る配線遅延が分かっており、どのゲートを削除すれば、どのくらい遅延値が変化するか凡そ把握できる。

【 0 0 2 2 】

また、図 2 は実施の形態 1 によるクロックツリーの回路図である。図 2 を参照

して、この回路はクロック A を出力する PLL 3 と、クロック A を反転したクロック B を出力する *inv* (インバーター回路、以下、*inv* と示す) 5 と、クロック A で駆動するクロックツリー 1 と、反転クロック B で駆動するクロックツリー 2 とを設ける。

【0023】

また、クロックツリー 1 は複数のフリップフロップ *Fa1* ~ *Fa4* と、複数の遅延ゲート *Ga1* ~ *Ga3* とを設ける。さらに、クロックツリー 2 は複数のフリップフロップ *Fb1* ~ *Fb3* と、複数の遅延ゲート *Gb1* ~ *Gb3* とを設ける。

【0024】

また、図 1 のフローチャートの工程 *S1'* を適用して、クロックツリー 1 を遅延するための複数の遅延ゲート *Buf05-1* ~ *Buf20-1* と、クロックツリー 2 を遅延するための複数の遅延ゲート *Buf05-5* ~ *Buf10-2* とを挿入して構成される。

【0025】

次に、この回路を図 1 のフローチャートに適用した説明を行う。まず、クロックツリー 1, 2 内部のタイミング制約として「クロックツリー 1 のクロックスキューを 0.5 ns 以下にせよ (起点は *Ga1* の出力ピン)」と「クロックツリー 2 のクロックスキューを 0.5 ns 以下にせよ (起点は *Gb1* の出力ピン)」とを与える。

【0026】

また、クロックツリー間のタイミング制約として「起点からクロックツリー 1 内の各フリップフロップまでの遅延値の平均値を起点からクロックツリー 2 内の各フリップフロップまでの遅延値の平均値より 2 ns 遅らせよ (起点は PLL の出力ピン)」を与える。

【0027】

工程 *S1* でネットリストを作成した後、工程 *S1'* で予め遅延ゲートを挿入する。遅延値の小さい遅延ゲートを挿入することで、工程 *S7'* で行うツリー間スキュー調整において微妙な調整が可能となる。工程 *S1'* の後、工程 *S2* から工程 *S4* により配置とクロックツリー生成と配線とを行い、工程 *S5* でツリー間ス

キュー検証を行う。

【0028】

また、工程S5の検証結果、起点（PLLの出力ピン）からクロックツリー1内の各フリップフロップまでの遅延値の平均値Aaveが6.40ns、起点（PLLの出力ピン）からクロックツリー2内の各フリップフロップまでの遅延値の平均値Baveが3.40nsとなったとする。

【0029】

与えた制約 $Aave = Bave + 2ns$ を満足するにはクロックツリー1側から1.00nsの遅延を削除する必要がある。例えば、工程S7において遅延ゲートBuf10-1を削除することにする。この削除による配線あるいは配置の変更はほとんど考慮する必要がない。

【0030】

その後、工程S8でECO、工程S4で配線、工程S5でクロックツリー間スキューを検証を行い、制約を満足することを確認する。

【0031】

この実施の形態1によると、従来の半導体回路の設計方法に比べ、遅延ゲートの削除のみで制約を満足することが可能であるためツリー間スキュー調整に要する時間を短縮できる。

【0032】

また、専用のクロックライン用レイアウトライブラリあるいは専用のCADツールを必要とせず、既存の装置で実現可能である。

【0033】

実施の形態2.

図3は実施の形態2による半導体回路の設計方法のフローチャートである。図3を参照して、このフローチャートはネットリストを作成する工程S11と、遅延ゲートを挿入する工程S11'と、P&Rツールとを設ける。

【0034】

また、P&Rツールはクロックライン上の複数の遅延ゲートを固め配置する配置工程S12と、CTS機能によりクロックツリーを張る工程S13と、ECO

機能による工程 S 1 8 と、配線工程 S 1 4 とを設ける。

【0035】

また、ツリー間スキュー調整を行う工程 S 1 7 と、クロックツリー間スキューを検証する工程 S 1 5 と、制約を満足するかどうかを判定する工程 S 1 6 とを設ける。

【0036】

まず工程 S 1 1 でネットリストを作成した後（論理検証も終了している状態）、工程 S 1 1' で予め遅延ゲートを挿入する。

【0037】

また、P & R ツールでは工程 S 1 2 で各クロックラインの遅延ゲート毎に固め配置を行う。工程 S 1 3 で C T S 機能でクロックツリー内部のタイミング制約を満足するクロックツリーを生成した後、工程 S 1 4 で配線する。

【0038】

次に、工程 S 1 5 でクロックツリー間のタイミングの制約が満足されているかを知るためにレイアウトから抽出した実遅延値を用いて、タイミング検証ツールでクロックラインの遅延値を計算し、クロックツリー間のタイミングスキューを検証する。尚、クロックツリー内部のタイミング制約は P & R ツールにより制約が満たされるので検証する必要はない。

【0039】

工程 S 1 5 のクロックツリー間スキュー検証の結果、S 1 6 でクロックツリー間のタイミングの制約を満足するかどうかを判定し、N O の場合は工程 S 1 7 でツリー間スキュー調整を行う。Y E S の場合はフローチャート終了となる。

【0040】

工程 S 1 1' ではネットリスト上でクロックラインに複数の遅延ゲートを予め挿入しておく。工程 S 1 7 のツリー間スキュー調整においては予め挿入した複数の遅延ゲートから適宜削除する。ツリー間スキュー調整は遅延ゲート挿入による調整よりも、予め挿入した複数の遅延ゲートを適宜削除して調整する方が容易である。

【0041】

なぜなら、遅延ゲートを挿入する場合と削除する場合の配線長変化分を比較すると、配置変更あるいは配線変更（特に遅延ゲートの挿入に伴う配線領域減少により発生する迂回配線）の起こる確率は、遅延ゲートを挿入するときよりも削除するときの方が少ないからである。

【 0 0 4 2 】

また、工程 S 1 7 でツリー間スキュー調整する前（遅延ゲートを挿入・削除する前）に、工程 S 1 5 においてツリー間スキュー検証するので、工程 S 1 7 でツリー間スキュー調整するときにはクロックライン上の各遅延ゲートとそれに係る配線遅延が分かっており、どのゲートを削除すれば、どのくらい遅延値が変化するか凡そ把握できる。

【 0 0 4 3 】

図 4 は実施の形態 2 によるクロックツリーの回路図である。図 4 を参照して、この回路はクロック A を出力する P L L 1 3 と、クロック A を反転したクロック B を出力する i n v 1 5 と、クロック A で駆動するクロックツリー 1 1 と、反転クロック B で駆動するクロックツリー 1 2 とを設ける。

【 0 0 4 4 】

クロックツリー 1 1 は複数のフリップフロップ F a 1 1 ～ F a 1 4 と、複数の遅延ゲート G a 1 1 ～ G a 1 3 とを設ける。さらに、クロックツリー 1 2 は複数のフリップフロップ F b 1 1 ～ F b 1 3 と、複数の遅延ゲート G b 1 1 ～ G b 1 3 とを設ける。

【 0 0 4 5 】

また、図 3 のフローチャートの工程 S 1 1' を適用して、クロックツリー 1 1 を遅延するための複数の遅延ゲート B u f 1 5 - 1 ～ B u f 2 1 - 1 と、クロックツリー 1 2 を遅延するための複数の遅延ゲート B u f 1 5 - 5 ～ B u f 1 1 - 2 とを挿入して構成される。

【 0 0 4 6 】

遅延ゲート B u f 1 1 - 1 と遅延ゲート B u f 2 1 - 1 とが遠く離れて配置され、遅延ゲート B u f 1 5 - 4 のドライブ能力が遅延ゲート B u f 1 1 - 1 のドライブ能力より低い場合は、ツリー間スキュー調整の結果、遅延ゲート B u f 1

1-1を削除することになると遅延ゲートBuf11-1の前段の遅延ゲートBuf15-4の負荷が増加する。

【0047】

一方、同一クロックライン上に入れる遅延ゲート同士を固めて配置すると、ある遅延ゲートを削除した後でも、その前段の遅延ゲートの負荷の増加分は少ないので、遅延ゲート全体の遅延値はあまり増加せず、ツリー間スキュー調整が容易となる。

【0048】

この実施の形態2によると、実施の形態1のスキュー調整方法に比べ、さらにツリー間スキュー調整に要する時間を短縮できる。

【0049】

実施の形態3.

図5は実施の形態3による半導体回路の設計方法のフローチャートである。図5を参照して、このフローチャートはネットリストを作成する工程S31と、遅延ゲートを挿入する工程S31'と、P&Rツールとを設ける。

【0050】

また、P&Rツールはクロックライン上の複数の遅延ゲートを固め配置し、その際にリージョン（領域、以下、リージョンと示す）を大きくとる配置工程S32と、CTS機能によりクロックツリーを張る工程S33と、ECO機能による工程S38と、配線工程S34とを設ける。

【0051】

また、ツリー間スキュー調整を行う工程S37と、クロックツリー間スキューを検証する工程S35と、制約を満足するかどうかを判定する工程S36とを設ける。

【0052】

まず工程S31でネットリストを作成した後（論理検証も終了している状態）、工程S31'で予め遅延ゲートを挿入する。

【0053】

また、P&Rツールでは工程S32で各クロックラインの遅延ゲート毎に固め

配置を行う。工程 S 3 3 で C T S 機能でクロックツリー内部のタイミング制約を満足するクロックツリーを生成した後、工程 S 3 4 で配線する。

【0054】

次に、工程 S 3 5 でクロックツリー間のタイミングの制約が満足されているかを知るためにレイアウトから抽出した実遅延値を用いて、タイミング検証ツールでクロックラインの遅延値を計算し、クロックツリー間のタイミングスキューを検証する。尚、クロックツリー内部のタイミング制約は P & R ツールにより制約が満たされるので検証する必要はない。

【0055】

工程 S 3 5 のクロックツリー間スキュー検証の結果、S 3 6 でクロックツリー間のタイミングの制約を満足するかどうかを判定し、N O の場合は工程 S 1 7 でツリー間スキュー調整を行う。Y E S の場合はフローチャート終了となる。

【0056】

工程 S 3 1' ではネットリスト上でクロックラインに複数の遅延ゲートを予め挿入しておく。工程 S 3 7 のツリー間スキュー調整においては予め挿入した複数の遅延ゲートから適宜削除する。ツリー間スキュー調整は遅延ゲート挿入による調整よりも、予め挿入した複数の遅延ゲートを適宜削除して調整する方が容易である。

【0057】

なぜなら、遅延ゲートを挿入する場合と削除する場合の配線長変化分を比較すると、配置変更あるいは配線変更（特に遅延ゲートの挿入に伴う配線領域減少により発生する迂回配線）の起こる確率は、遅延ゲートを挿入するときよりも削除するときの方が少ないからである。

【0058】

また、工程 S 3 7 でツリー間スキュー調整する前（遅延ゲートを挿入・削除する前）に、工程 S 3 5 においてツリー間スキュー検証するので、工程 S 3 7 でツリー間スキュー調整するときにはクロックライン上の各遅延ゲートとそれに係る配線遅延が分かっており、どのゲートを削除すれば、どのくらい遅延値が変化するか凡そ把握できる。

【 0 0 5 9 】

また、図 6 は実施の形態 3 によるクロックツリーの回路図である。図 6 を参照して、この回路はクロック A を出力する P L L 3 3 と、クロック A を反転したクロック B を出力する i n v 3 5 と、クロック A で駆動するクロックツリー 3 1 と、反転クロック B で駆動するクロックツリー 3 2 とを設ける。

【 0 0 6 0 】

また、クロックツリー 3 1 は複数のフリップフロップ F a 3 1 ~ F a 3 4 と、複数の遅延ゲート G a 3 1 ~ G a 3 3 とを設ける。さらに、クロックツリー 3 2 は複数のフリップフロップ F b 3 1 ~ F b 3 3 と、複数の遅延ゲート G b 3 1 ~ G b 3 3 とを設ける。

【 0 0 6 1 】

また、図 5 のフローチャートの工程 S 3 1 ' を適用して、クロックツリー 3 1 を遅延するための複数の遅延ゲート B u f 3 5 - 1 ~ B u f 3 2 - 1 と、クロックツリー 3 2 を遅延するための複数の遅延ゲート B u f 3 5 - 5 ~ B u f 3 1 - 2 とを挿入して構成される。

【 0 0 6 2 】

近年、微細化により高集積が実現可能になったが、ある任意の配線に隣接する配線の影響を考慮する必要が生じてきた。例えば、ツリー間スキュー調整に伴うクロック配線の変更により、クロック配線と他の配線との距離が近くなり、影響を受ける。

【 0 0 6 3 】

そこで、クロックラインには隣接配線の影響を与えないよう工程 S 3 2 により固め配置の際にリージョンを大きくとる。このリージョン内にはクロックライン以外の配線は配置されない（遅延ゲート以外のゲートも配置されない）。その他の配線からのクロック配線への影響を無くすることができ、ツリー間スキュー調整が容易となる。

【 0 0 6 4 】

この実施の形態 3 によると、実施の形態 2 のスキュー調整方法に比べ、さらにツリー間スキュー調整に要する時間を短縮できる。

【 0 0 6 5 】

実施の形態 4.

図 7 は実施の形態 4 による半導体回路の設計方法のフローチャートである。図 7 を参照して、このフローチャートはネットリストを作成する工程 S 5 1 と、遅延ゲートを挿入する工程 S 5 1' と、P & R ツールとを設ける。

【 0 0 6 6 】

また、P & R ツールは配置工程 S 5 2 と、CTS 機能によりクロックツリーを張る工程 S 5 3 と、ECO 機能による工程 S 5 8 と、配線工程 S 5 4 とを設ける。

【 0 0 6 7 】

また、予め挿入した複数の遅延ゲートの内、初段及び最終段の遅延ゲートを削除の対象外としてツリー間スキュー調整を行う工程 S 5 7 と、クロックツリー間スキューを検証する工程 S 5 5 と、制約を満足するかどうかを判定する工程 S 5 6 とを設ける。

【 0 0 6 8 】

まず工程 S 5 1 でネットリストを作成した後（論理検証も終了している状態）、工程 S 5 1' で予め遅延ゲートを挿入する。

【 0 0 6 9 】

また、P & R ツールでは工程 S 5 2 で各クロックラインの遅延ゲート毎に固め配置を行う。工程 S 5 3 で CTS 機能でクロックツリー内部のタイミング制約を満足するクロックツリーを生成した後、工程 S 5 4 で配線する。

【 0 0 7 0 】

次に、工程 S 5 5 でクロックツリー間のタイミングの制約が満足されているかを知るためにレイアウトから抽出した実遅延値を用いて、タイミング検証ツールでクロックラインの遅延値を計算し、クロックツリー間のタイミングスキューを検証する。尚、クロックツリー内部のタイミング制約は P & R ツールにより制約が満たされるので検証する必要はない。

【 0 0 7 1 】

工程 S 5 5 のクロックツリー間スキュー検証の結果、S 5 6 でクロックツリー

間のタイミングの制約を満足するかどうかを判定し、N O の場合は工程 S 5 7 でツリー間スキュー調整を行う。Y E S の場合はフローチャート終了となる。

【 0 0 7 2 】

工程 S 5 1 ' ではネットリスト上でクロックラインに複数の遅延ゲートを予め挿入しておく。工程 S 5 7 のツリー間スキュー調整においては予め挿入した複数の遅延ゲートから適宜削除する。ツリー間スキュー調整は遅延ゲート挿入による調整よりも、予め挿入した複数の遅延ゲートを適宜削除して調整する方が容易である。

【 0 0 7 3 】

また、遅延ゲートに係る配線の内、最も長い配線となるのはクロック発生源（P L L 等）の出力ピンから複数の遅延ゲートの初段、及び最終段の出力ピンからクロックツリーまでの配線である。

【 0 0 7 4 】

そこで、予め挿入した複数の遅延ゲートの初段及び最終段の位置を固定し、かつこれらを削除対象外とするので初段及び最終段の遅延ゲートを固定した状態でツリー間スキュー調整を行うと配線の変更を小さく抑えられる。

【 0 0 7 5 】

この実施の形態 4 によると、ツリー間スキュー調整のときの配線変更を小さく抑えることが可能で、実施の形態 2 のスキュー調整方法に比べ、さらにツリー間スキュー調整に要する時間を短縮できる。

【 0 0 7 6 】

実施の形態 5.

図 8 は実施の形態 5 による半導体回路の設計方法のフローチャートである。図 8 を参照して、このフローチャートはネットリストを作成する工程 S 7 1 と、遅延ゲートを挿入する工程 S 7 1 ' と、P & R ツールとを設ける。

【 0 0 7 7 】

また、P & R ツールは配置工程 S 7 2 と、C T S 機能によりクロックツリーを張る工程 S 7 3 と、E C O 機能による工程 S 7 8 と、配線工程 S 7 4 とを設ける。

。

【0078】

また、ツリー間スキュー調整を行う工程 S 7 7 と、クロックツリー間スキューを検証する工程 S 7 5 と、制約を満足するかどうかを判定する工程 S 7 6 とを設ける。

【0079】

まず工程 S 7 1 でネットリストを作成した後（論理検証も終了している状態）、工程 S 7 1' で予め遅延ゲートを挿入する。

【0080】

また、P & R ツールでは工程 S 7 2 で各クロックラインの遅延ゲート毎に固め配置を行う。工程 S 7 3 で C T S 機能でクロックツリー内部のタイミング制約を満足するクロックツリーを生成した後、工程 S 7 4 で配線する。

【0081】

次に、工程 S 7 5 でクロックツリー間のタイミングの制約が満足されているかを知るためにレイアウトから抽出した実遅延値を用いて、タイミング検証ツールでクロックラインの遅延値を計算し、クロックツリー間のタイミングスキューを検証する。尚、クロックツリー内部のタイミング制約は P & R ツールにより制約が満たされるので検証する必要はない。

【0082】

工程 S 7 5 のクロックツリー間スキュー検証の結果、S 7 6 でクロックツリー間のタイミングの制約を満足するかどうかを判定し、N O の場合は工程 S 7 7 でツリー間スキュー調整を行う。Y E S の場合はフローチャート終了となる。

【0083】

工程 S 7 1' ではネットリスト上でクロックラインに複数の遅延ゲートを予め挿入しておく。工程 S 7 7 のツリー間スキュー調整においては予め挿入した複数の遅延ゲートから適宜削除する。ツリー間スキュー調整は遅延ゲート挿入による調整よりも、予め挿入した複数の遅延ゲートを適宜削除して調整する方が容易である。

【0084】

なぜなら、遅延ゲートを挿入する場合と削除する場合の配線長変化分を比較す

ると、配置変更あるいは配線変更（特に遅延ゲートの挿入に伴う配線領域減少により発生する迂回配線）の起こる確率は、遅延ゲートを挿入するときよりも削除するときの方が少ない。

【 0 0 8 5 】

また、工程 S 7 7 でツリー間スキュー調整する前（遅延ゲートを挿入・削除する前）に、工程 S 7 5 においてツリー間スキュー検証するので、工程 S 7 7 でツリー間スキュー調整するときにはクロックライン上の各遅延ゲートとそれに係る配線遅延が分かっており、どのゲートを削除すれば、どのくらい遅延値が変化するか凡そ把握できる。

【 0 0 8 6 】

また、クロックラインには隣接配線の影響を与えないよう工程 S 7 2 により固め配置の際にリージョンを大きくとる。このリージョン内にはクロックライン以外の配線は配置されない（遅延ゲート以外のゲートも配置されない）。

【 0 0 8 7 】

これにより、その他の配線からのクロック配線への影響を無くすことができ、ツリー間スキュー調整が容易となる。

【 0 0 8 8 】

また、さらにツリー間スキュー調整をするときには複数の遅延ゲートの初段及び最終段の位置を固定するとともにこれらを削除対象外とする。

【 0 0 8 9 】

この実施の形態 5 によると、さらにツリー間スキュー調整に要する時間を短縮できる。

【 0 0 9 0 】

【発明の効果】

この発明に係る半導体回路の設計方法は、クロックツリーを設ける半導体回路の設計方法において、ネットリストを作成後、ネットリスト上に予め複数の遅延ゲートを挿入し、遅延ゲートをクロックツリー間のタイミングの制約を満たすように調整しながら削除するので、ツリー間スキュー調整に要する時間を短縮できる。

【0091】

また、専用のクロックライン用レイアウトライブラリあるいは専用のCADツールを必要とせず、既存の装置で実現可能である。

【0092】

また、請求項1記載の半導体回路の設計方法において、ネットリストを作成する工程と、ネットリスト上に予め遅延ゲートを挿入する工程と、配置工程と、クロックツリー内部のタイミングの制約を満足するクロックツリーを生成する工程と、遅延ゲートの挿入に伴う必要最小限のレイアウト変更を行う工程と、配線工程と、人手によるクロックツリー間のスキューを調整する工程と、クロックツリー間のスキューを検証する工程と、タイミングの制約を満足するかどうかを判定する工程とを備えるので、さらにツリー間スキュー調整に要する時間を短縮できる。

【0093】

また、請求項2記載の半導体回路の設計方法において、配置工程はクロックライン上の複数の遅延ゲートを固め配置するので、さらにツリー間スキュー調整に要する時間を短縮できる。

【0094】

また、請求項2記載の半導体回路の設計方法において、配置工程はクロックライン上の複数の遅延ゲートを固め配置し、領域を大きくとるので、さらにツリー間スキュー調整に要する時間を短縮できる。

【0095】

また、請求項3記載の半導体回路の設計方法において、ツリー間スキュー調整工程は予め挿入した複数の遅延ゲートの内、初段及び最終段の遅延ゲートを削除の対象外とするので、さらにツリー間スキュー調整に要する時間を短縮できる。

【0096】

また、請求項4記載の半導体回路の設計方法において、ツリー間スキュー調整工程は予め挿入した複数の遅延ゲートの内、初段及び最終段の遅延ゲートを削除の対象外とするので、さらにツリー間スキュー調整に要する時間を短縮できる。

【0097】

また、請求項 1～6 記載の半導体回路の設計方法のいずれかを用いて設計するので、さらにツリー間スキュー調整に要する時間を短縮できる半導体回路が得られる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 による半導体回路の設計方法のフローチャートである。

【図 2】 この発明の実施の形態 1 によるクロックツリーの回路図である。

【図 3】 この発明の実施の形態 2 による半導体回路の設計方法のフローチャートである。

【図 4】 この発明の実施の形態 2 によるクロックツリーの回路図である。

【図 5】 この発明の実施の形態 3 による半導体回路の設計方法のフローチャートである。

【図 6】 この発明の実施の形態 3 によるクロックツリーの回路図である。

【図 7】 この発明の実施の形態 4 による半導体回路の設計方法のフローチャートである。

【図 8】 この発明の実施の形態 5 による半導体回路の設計方法のフローチャートである。

【図 9】 従来の半導体回路の設計方法のフローチャートである。

【符号の説明】

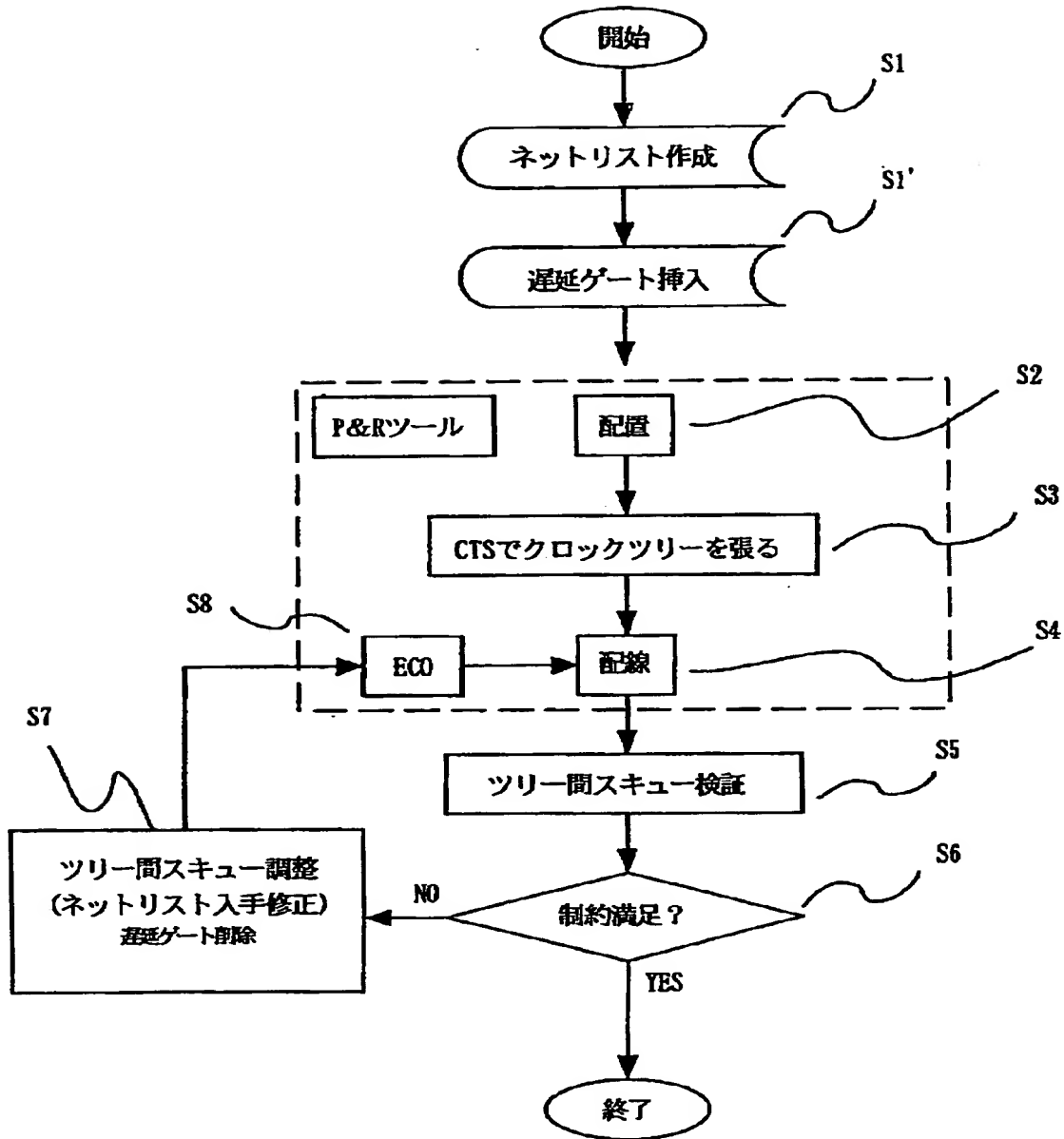
- | | | |
|-------|-------------------------|-------------------|
| S 1 | ネットリストを作成する工程 | |
| S 1' | 遅延ゲートを挿入する工程 | |
| S 2 | 配置工程 | |
| S 3 | C T S 機能によりクロックツリーを張る工程 | |
| S 4 | 配線工程 | |
| S 5 | ツリー間スキュー検証工程 | S 6 タイミング制約判定工程 |
| S 7 | ツリー間スキュー調整工程 | S 8 E C O 機能による工程 |
| S 1 2 | 配線工程 | S 3 2 配線工程 |
| S 5 2 | 配線工程 | |
| S 5 7 | ツリー間スキュー調整工程 | |

S 7 2 配線工程

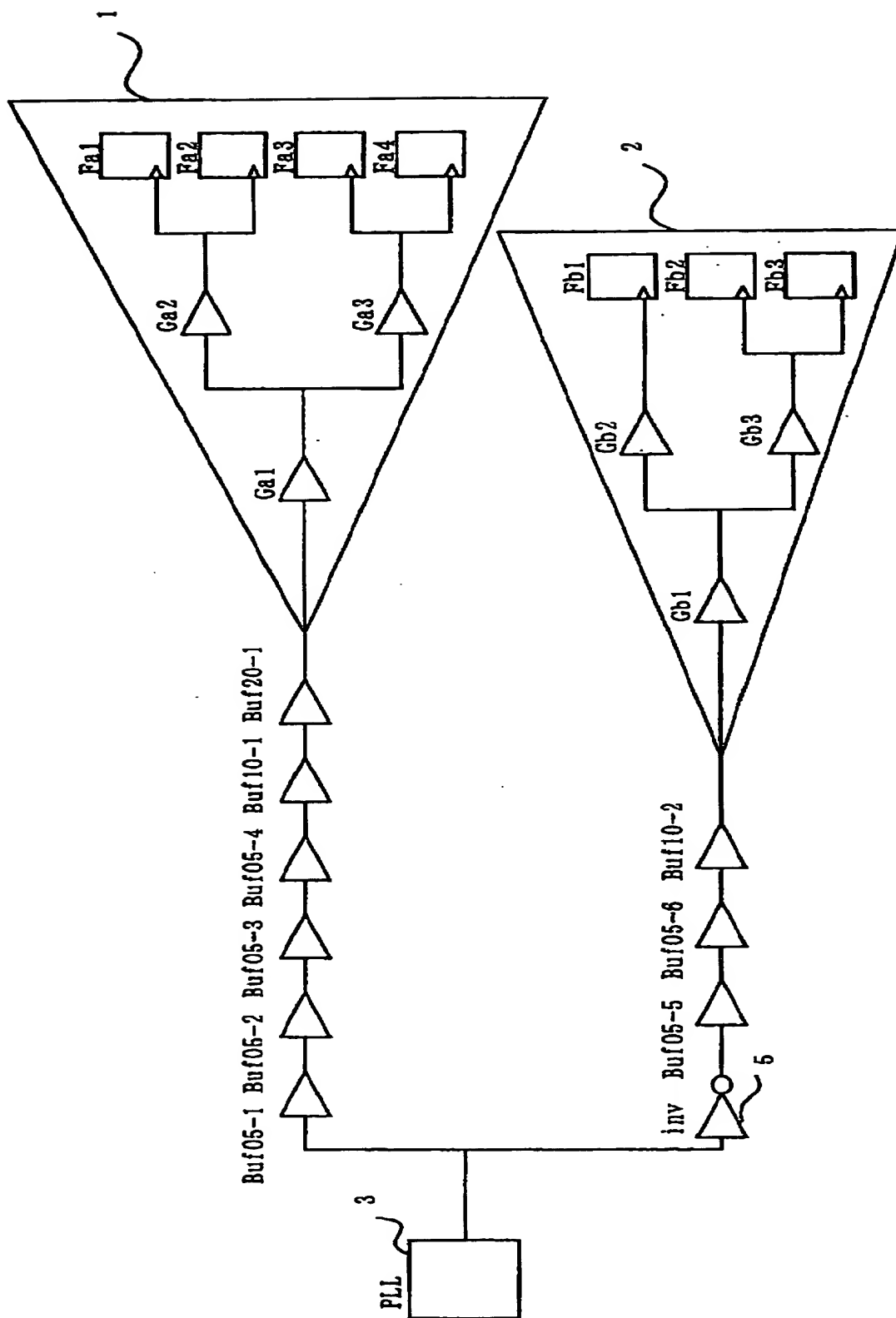
S 7 7 ツリー間スキュー調整工程

【書類名】 図面

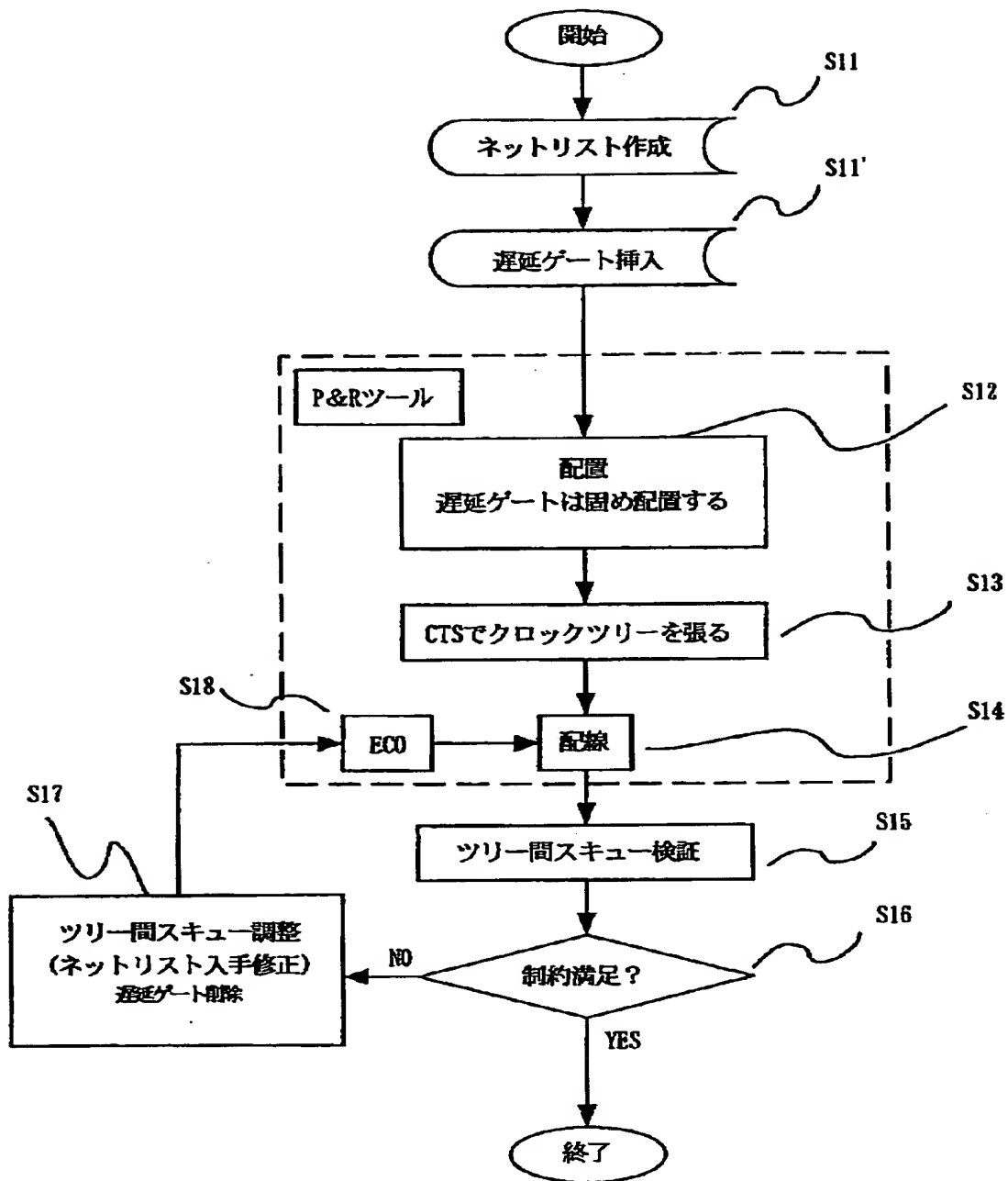
【図 1】



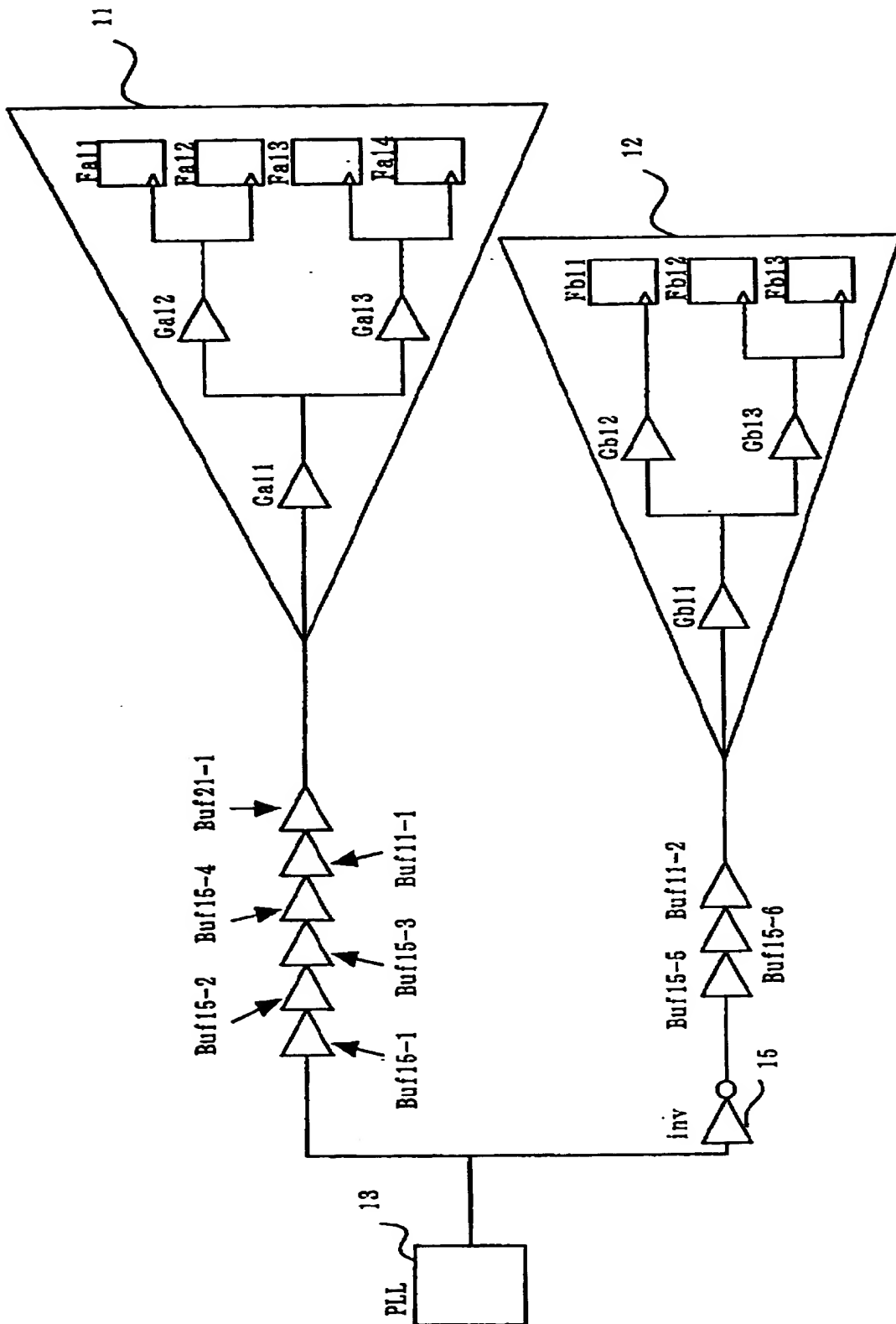
【図2】



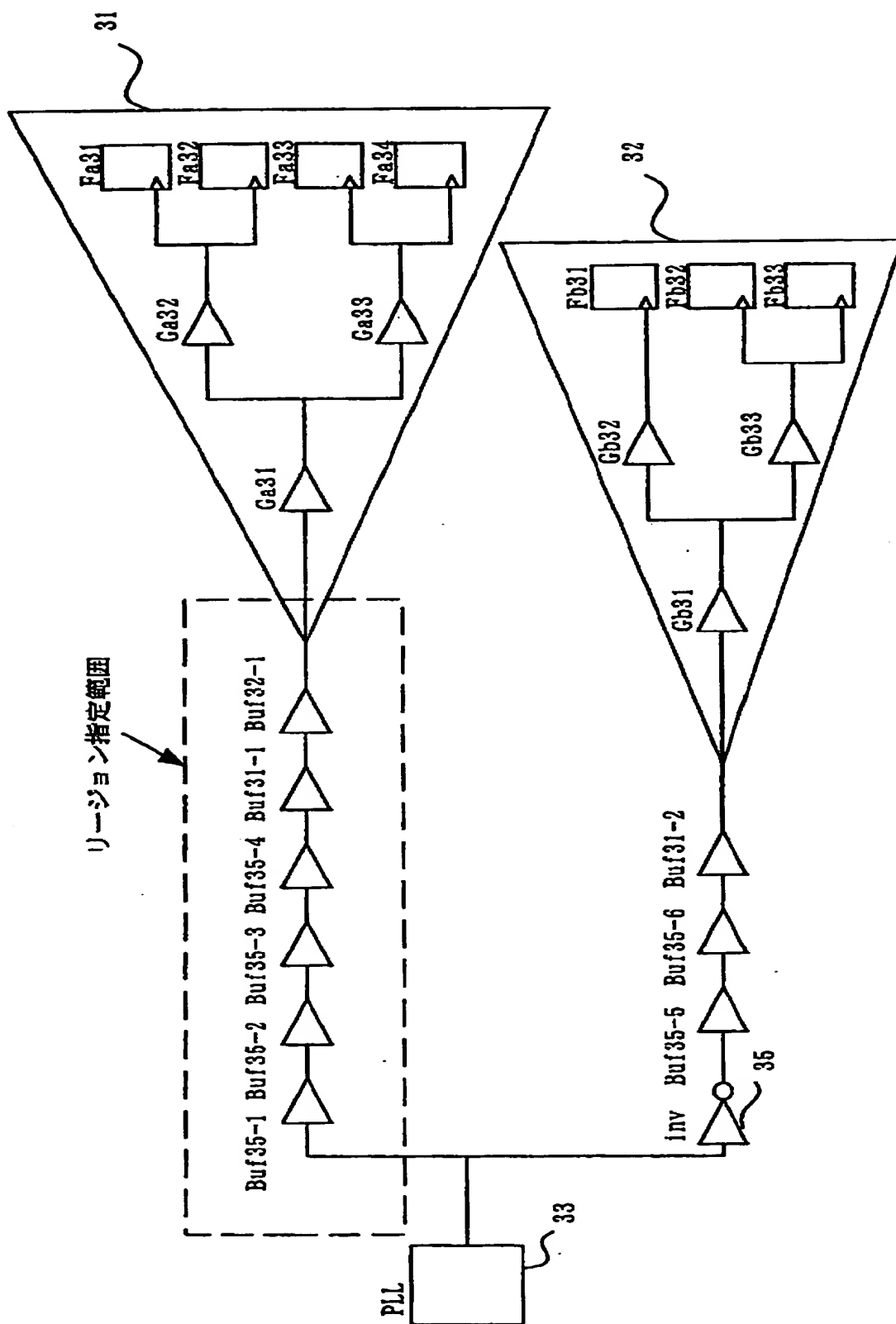
【図 3】



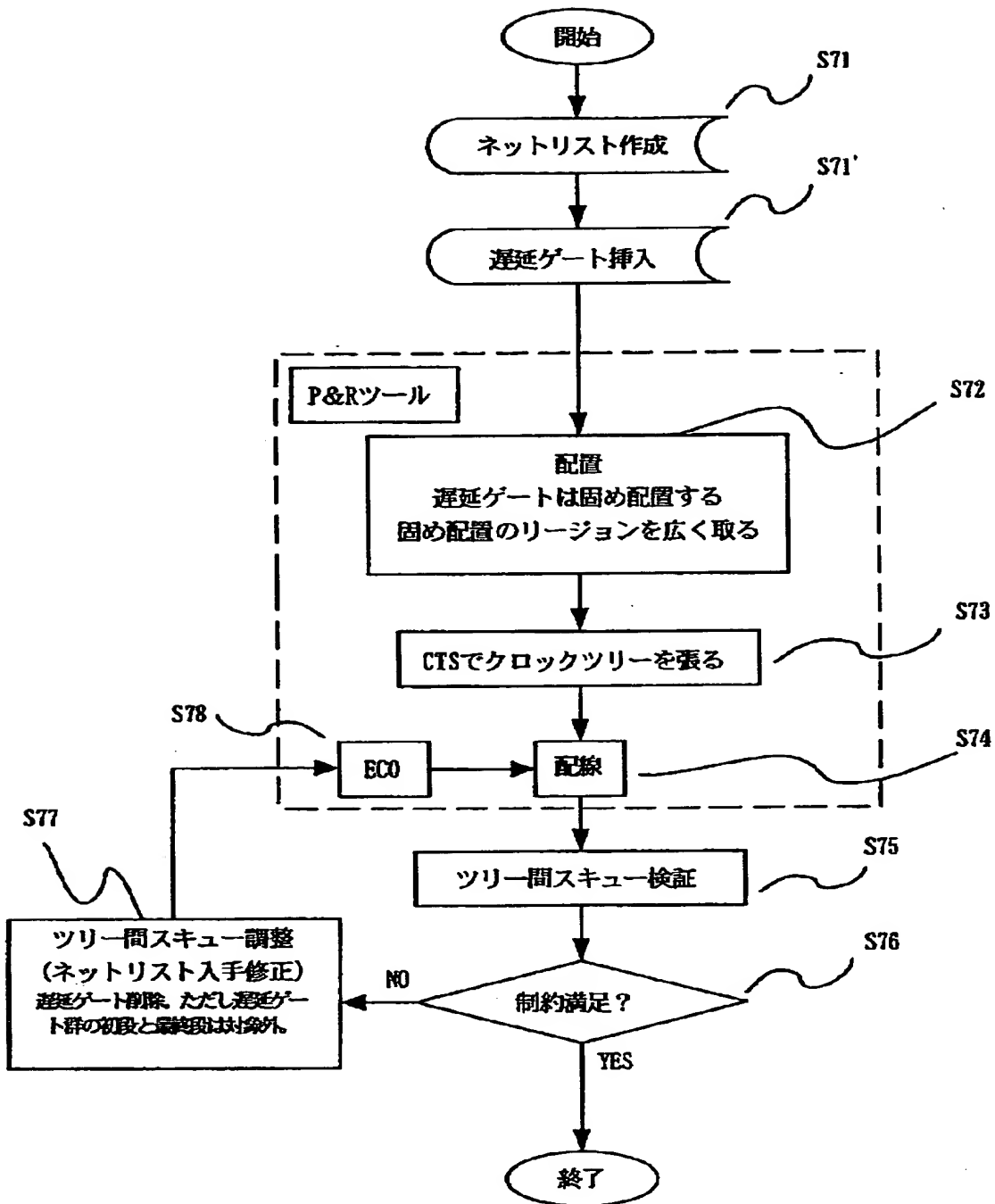
【図4】



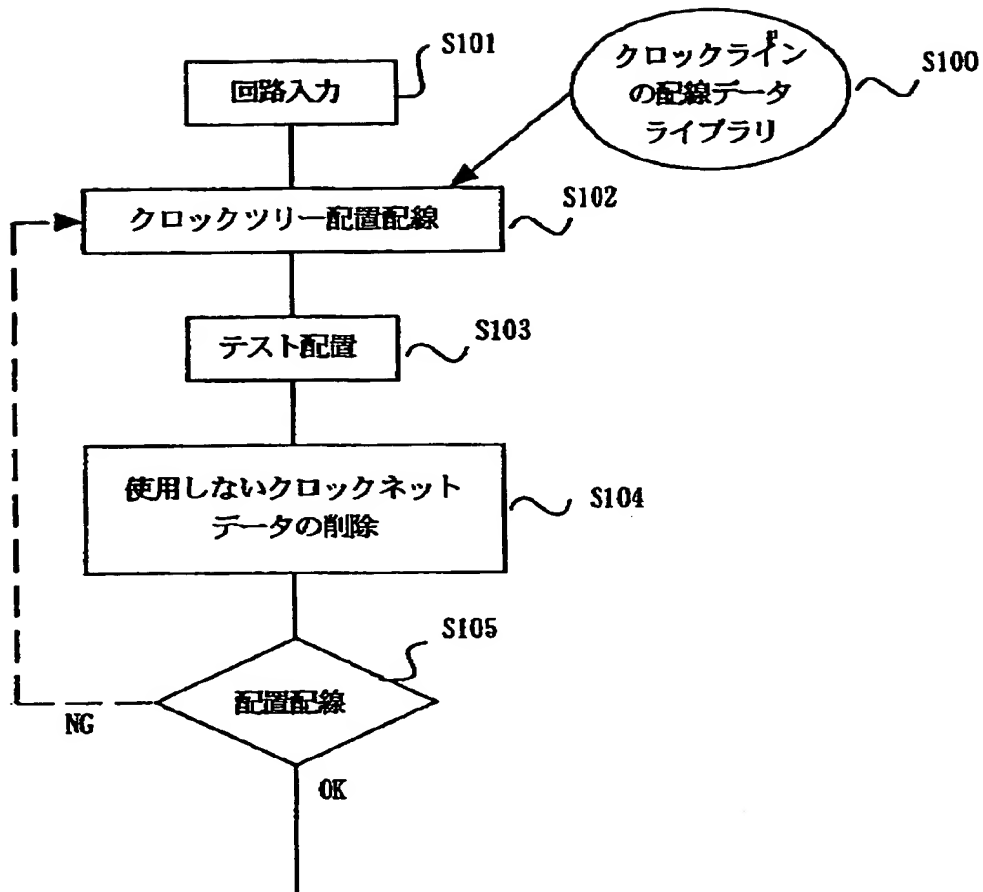
【図 5】



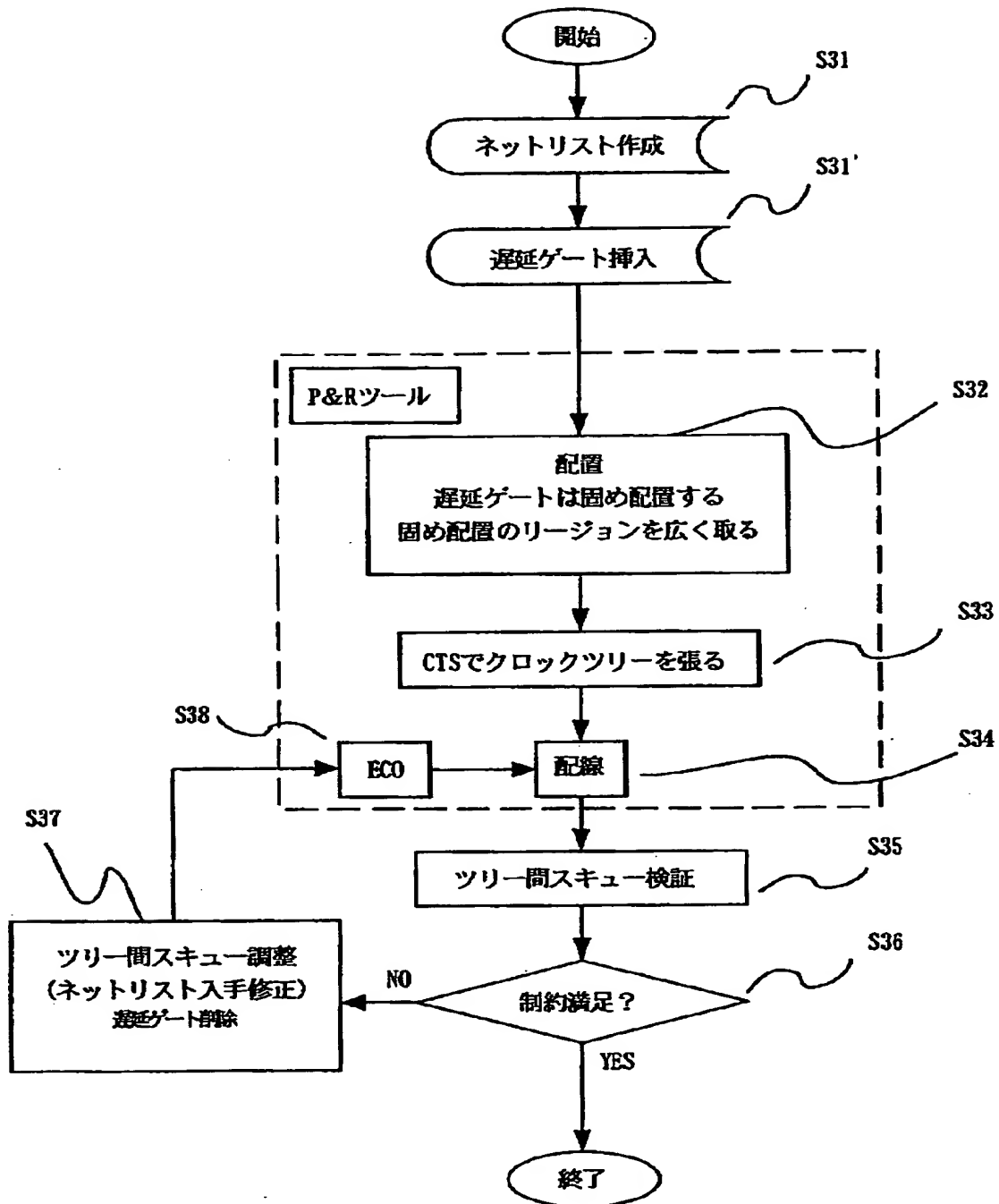
【図6】



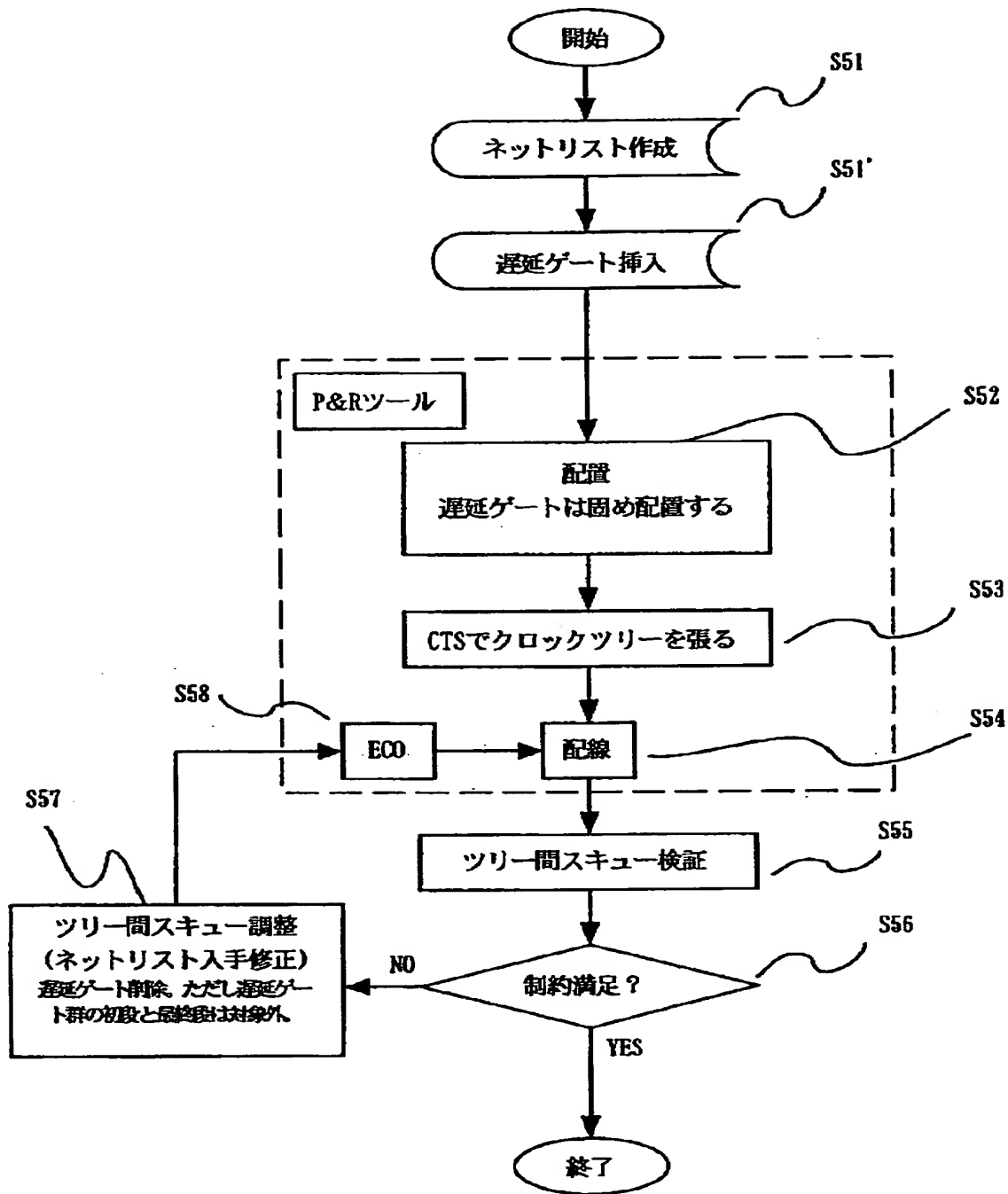
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 クロックツリー間のスキューを調整することが容易な半導体回路の設計方法及びそれを用いて設計する半導体回路を得ることである。

【解決手段】 ネットリストを作成 S 1 後、ネットリスト上に予め複数の遅延ゲートを挿入 S 1 ' し、遅延ゲートをクロックツリー間のタイミングの制約を満たすように調整しながら削除 S 7 する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社